

基于 DM642 的 CAVLC 解码器 快速算法与实现

·实用设计·

肖 辉,伍瑞卿,樊 丰

(电子科技大学 电子工程学院,四川 成都 610054)

【摘要】结合 TMS320DM642 的特点,采用码字扩展,码表分组和线性汇编方法对 CAVLC 解码进行快速算法设计与实现。在 SEED-VPM642 的开发板上实验,结果表明,新算法使得解码速度提高了约 66.5%,能够应用于视频实时解码系统中。

【关键词】TMS320DM642;H.264 标准;CAVLC;解码器

【中图分类号】TN919.81

【文献标识码】A

Fast Algorithm and Implementation for H.264 CAVLC Decoder Based on TMS320DM642

XIAO Hui, WU Rui-qing, FAN Feng

(School of Electronic Engineering, University of Electronic Science and Technology of China, Chengdu 610054, China)

【Abstract】 Considering the characteristics of DSP TMS320DM642, a fast algorithm of CAVLC decoder is presented and implemented by extending code words, regrouping the code table and linear assembly language. Experimental results on platform of SEED-VPM642 show that decoding speed of this new algorithm is increased by about 66.5%, and this algorithm is effective in real-time video decoding system.

【Key words】 TMS320DM642; H.264; CAVLC; decoder

1 引言

TMS320DM642(以下简称 DM642)是 TI 公司开发的新一代多媒体处理器,在 600 MHz 的频率下,处理速度可以达到 4 800 MI/s(兆指令/秒)。DM642 充分利用 C64XDSP 的指令资源,其强大的包处理指令可同时处理 2 个 16 位的数据,4 个 8 位的数据, LDDW 和 STDW 一个指令周期可存取 64 bit 数据,能够方便快速地实现视频和图像处理中的算法^[1-2]。目前 DM642 已广泛用于机顶盒和视频监控等视频图像处理领域中。

H.264 是新一代的视频编码标准,广泛应用于数字电视、网络流媒体等领域。它采用了 CABAC 和 CAVLC 两种熵编码方法。CABAC 是一种算术编码方式,效率高但算法复杂,编解码速度较慢。CAVLC 是一种可变长编码,常用于残差块的编码,算法相对简单^[3-4]。H.264 测试模型 JM8.6 中 CAVLC 解码占总解码时间的 20%左右,极大地影响了解码效率。本文在合众达公司 SEED-VPM642 的开发板上实现了 CAVLC 解码的快速算法,采用码表分组和 C6X DSP 扩展的运算指令,提高在解码器中的速度,以满足实时性要求。

2 CAVLC 解码原理及算法复杂度分析

CAVLC 解码是编码的逆过程,从码流中读取码字查表解析出各个句法元素。在查表之前需要由当前块左边

及上边块的非零系数个数得出当前块非零系数个数预测值 $NC^{(3)}$ 。CAVLC 解码流程如下:1) 由 NC 选择码表,读码字查表得 $TrailingOnes, TotalCoeff$;2) 解析拖尾系数的符号;3) 解析除拖尾系数之外的非零系数幅值;4) 读码字查表得 $TotalZeros$;5) 查表解析每个非零系数前 0 的个数 $run_before[i]$ 。

通过 CCS3.1 profile 工具对 10 帧 QCIF 序列解码的剖析,得出 CAVLC 解码中各子过程的耗时百分比,如表 1 所示。

表 1 CAVLC 解码各过程耗时统计

CAVLC 各句法元素解 码过程	CPU 平均时钟周期数	占 CAVLC 解码时间百 分比/%
TrailingOnes, TotalCoeff	16 987	75.0
TotalZeros	3 488	15.4
RunBefore	951	4.2
Levels	588	2.6
其他	634	2.8

由表 1 可知,解析非零系数个数和拖尾系数个数耗时达 75%左右,是 CAVLC 解码算法优化的一个关键模块,以下主要针对这部分进行算法设计和优化。

CAVLC 编码码长可变,而解码器的输入端是连续的比特流。以 JM8.6 测试模型中解码 $TrailingOnes$ 和 $TotalCoeff$ 为例,图 1 为其算法流程^[5]。

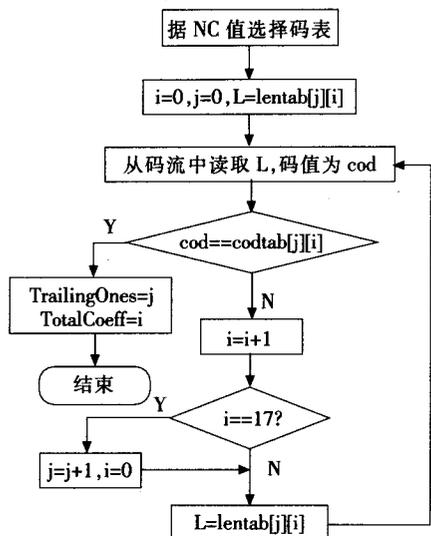


图1 JM8.6 中解码非零和拖尾系数流程图

该流程虽然实现容易,但其查表效率不高。其一,对于较短的码字匹配数次就可以找到,但对于长码字(如 16 bit 码字),最多须匹配 68 次才能找到,程序效率很低,解析时间也不稳定。其二,码表设计不合理,导致匹配计算复杂,且需频繁地读取码流。对于 DSP 嵌入式系统来说,频繁地从外存读取码流会影响程序的执行效率。

3 基于 DM642 的 CAVLC 解码快速算法

3.1 解析非零系数个数和拖尾系数个数快速算法

通过分析 CAVLC 相关码表,可发现其码字长度最多为 16 bit,且每个码字都是由若干比特的 0,1 个 1 和 0~3 个信息码组成。短码字出现概率大,码字越长出现概率越小。针对码字的这些规律,对码表进行重新设计和分组。以 $4 \leq NC < 8$ 码表为例。

- 1) 码字长度相同的分为一组,每组中的码值从大到小排列。每组按相应码长由小到大排列;
- 2) 码字不足 16 bit 的在码字后面扩展若干个 0 补齐到 16 bit;
- 3) 把每组中最小的码值抽取出来按由大到小排列生成另一张新表;

码表重新设计和分组后产生的 2 张表格如表 2 和表 3 所示。从表 2 中可以看到,码值按从大到小的顺序排序,码值越大匹配的可能性越大。code_word 为扩展后的码字,code_num 为相应的码值,index 为码字索引,用于在非零系数个数和拖尾系数个数数组中查找所求句法元素,offset 为一组中相对于最小码值的偏移。表 3 中 code_length 为每组的码长,least_code 为每组最小的码值,base_index 为最小码值对应的索引。图 2 为码表重新设计后 CAVLC 句法元素的解码流程。新的算法避免了

频繁地从外存读取码流,只调用 1 次经过线性汇编优化后的 ShowBits() 函数读取 16 bit 码字,然后经过简单的比较、计算即得非零系数和拖尾系数个数。DM642 L2 存储器比片外 SDRAM 存取速度快,所以将码表数组定义成全局变量,并用 near 关键字将数组放于片内的 .bss 段,提高查表速度。由于 DM642 片内 L2 只有 256 Kbyte,所以除了 least_code 数组定义成 short 型外,其他数组均定义成字节型以节省 DSP 片内内存空间。

表 2 CAVLC($4 \leq NC < 8$)码字扩展、分组后的码表

group	Trailings	Totals	code_word	code_num	index	offset
	0	0	1111 000000000000	61 440	0	7
	1	1	1110 000000000000	57 344	1	6
	2	2	1101 000000000000	53 248	2	5
0	3	3	1100 000000000000	49 152	3	4
	3	4	1011 000000000000	45 056	4	3
	3	5	1010 000000000000	40 960	5	2
	3	6	1001 000000000000	36 864	6	1
	3	7	1000 000000000000	32 768	7	0
	1	1	2	01111 000000000000	30 720	8
2		3	01110 000000000000	28 672	9	6
...

表 3 码表分组信息

group	code_length	least_code	base_index
0	4	32 768	7
1	5	16 384	15
2	6	8 192	23
3	7	4 096	31
4	8	2 048	39
5	9	896	48
6	10	64	61

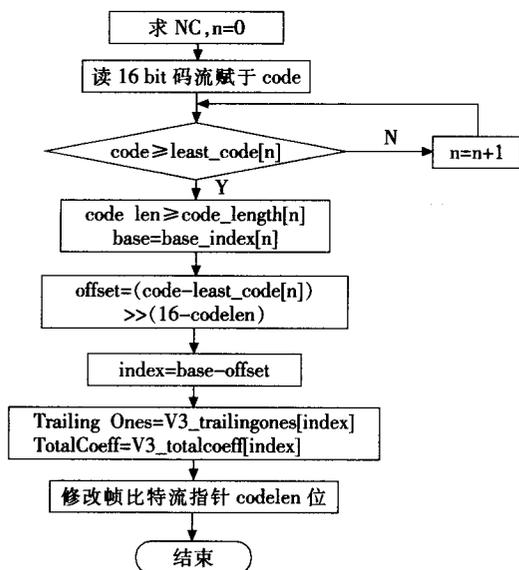


图 2 改进后的 CAVLC 句法的解码流程

这种新的查表算法还可应用在 $0 \leq NC < 2, 2 \leq NC < 4$, 以及 TotalZeros 等句法元素解析中。新算法执行时间稳定, 查表效率高, 极大地提高了 CAVLC 解码的速度。

3.2 读码流算法线性汇编优化

H.264 码流都是以字节形式存放的, 测试模型 JM8.6 中 ShowBits 函数以循环方式从码流字节缓冲区当前解码位置读取 n bit 的码流。每次循环都需要修改比特流指针, 并判断比特流指针是否越过本字节范围, 越过则字节指针加 1; 还需要判断字节指针是否超出码流缓冲区的字节数, 如超出则报错。这种读取码流的算法效率低, 耗时多, 不适合嵌入式平台算法结构。

分析 CAVLC 相关码表, 码字长度都不超过 24 bit。而且读码流算法都是一些移位、加法、搬移数据等运算。根据这些特点, 采用 DM642 的线性汇编指令优化读码流算法, 线性汇编代码如下:

```
.global _ShowBits
_ShowBits: .cprocbuffer, totbitoffset,
bytecount, numbits
.reg byteoffset, bitoffset, inf,
nonbits, count, addr
SHR totbitoffset, 3, byteoffset
MVK 32, count ; 32 bits readen
AND totbitoffset, 7, bitoffset
ADD buffer, byteoffset, addr; buff addr
LDNW *addr, inf ; inf=DCBA
SUB count, numbits, nonbits
SWAP2 inf, inf
SWAP4 inf, inf ; inf=ABCD
SHL inf, bitoffset, inf
SHRU inf, nonbits, inf
.return inf
.endproc
```

LDNW 为 DM642 无边界调整的字读取指令, 从码流缓冲区当前解码比特流指针所在的字节处读取 4 byte 码流, 则要读取的码字必在这 4 byte 中。因为该 DM642 平台采用小端模式, 所以还要对读取数据进行倒置, 然后通过左移和右移运算把所要的码字抽取出来。

该算法只访问 1 次缓冲区, 通过几条简单的汇编指令就可以读取所要的码字, 而且无论读取多少比特的码字, 该算法运行时间都是一样的。

4 实验结果

实验视频序列码流: 10 帧 QCIF (176×144) suzie(IP-PIPPPI)。软硬件平台: CCS3.1, SEED-VPM642 开发板, XDS510 仿真器。采用 DSP 的定时器对 CAVLC 解码几个关键过程进行运行时间统计, 结果见表 4。

可见, 新解析算法的速度得到了明显提升, 解析非

表 4 CAVLC 解码新算法耗时统计

过程	平均周期数 (原算法)	平均周期数 (新快速算法)	节约时间百分比
解析非零系数和 托尾系数	17 095	1 641	90
解析 TotalZeros	5 698	1 273	77.6
读取一个 4×4 块的系数	22 794	7 628	66.5
读码流函数 ShowBits	3 527	251	92.8

零系数和拖尾系数下降到 CAVLC 解码总时间的 22% 左右。用汇编优化的读码流函数效果明显, 可以说汇编优化是 DSP 程序优化的一种重要手段。在保证正确解码的前提下, 本文中的快速算法提高了 CAVLC 解码在解码器中的速度, 只占整个解码时间的 9% 左右, 能够应用于嵌入式平台视频码流实时解码系统中。

参考文献:

- [1] TI. TMS320DM642 hardware designer's resource guide[EB/OL]. [2008-11-20]. <http://focus.tij.co.jp/lit/an/spra51a/spra51a.pdf>.
- [2] 李方慧, 王飞, 何佩琨. TMS320C6000 系列 DSPs 原理与应用[M]. 2 版. 北京: 电子工业出版社, 2003.
- [3] 毕厚杰. 新一代视频压缩编码标准——H.264/AVC[M]. 北京: 人民邮电出版社, 2005.
- [4] RICHARDSON I E. H.264 and MPEG-4 video compression[M]. [S. l.]: John Wiley & Sons Press, 2003.
- [5] ITUT. H.264 test model JM8.6[EB/OL]. [2008-11-20]. <http://iphome.hhi.de/suehring/tml/>.

作者简介:

肖 辉(1982-), 硕士生, 主研视频编解码及嵌入式平台实现;

伍瑞卿(1977-), 博士, 讲师, 主要研究方向为视频编解码、数字视频处理、信号处理与模式识别;

樊 丰(1963-), 副教授, 目前从事数字视频与 HDTV 的研究。

责任编辑: 任健男

收稿日期: 2008-12-15

广东成为全球最大液晶电视模组制造基地

据广东省信息产业厅厅长温国辉介绍, 目前, 全球 4 大平板显示企业中, 广东已引进其中 3 家大型液晶电视模组项目, 设计产能超过 5 000 万片, 占全球 1/4。佛山奇美、广州 LGD、惠州 TCL-三星均开始二期工程建设, 全省形成了千余家大中小平板整机及配套企业群体。

在引进国外技术的同时, 广东还不断加强自主创新, 自主研发出液晶电视集成制造“南海机型”, 降低制造成本 20% 以上。去年广东省液晶电视产量达 2 100 万台, 同比增长 56%, 已成为全球最大液晶电视模组制造基地。